

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Sang-bo LEE, et al.
Application No.: **NEW APPLICATION**
Filed: December 5, 2003
For: **LATENCY CONTROL CIRCUIT AND METHOD OF LATENCY CONTROL**

PRIORITY LETTER

December 5, 2003

Honorable Commissioner of Patents and Trademarks
Washington, DC 20231

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2003-0036747	June 9, 2003	KOREA

In support of Applicant's priority claim, please enter this document into the file.

Please note that the priority document for 2002-0040094 filed July 10, 2002 in Korea was filed in the patent application no. 10/283,124.

Respectfully submitted,

HARNESS, DICKY, & PIERCE, P.L.C.

By


Gary D. Yacura, Reg. No. 35,416

P.O. Box 8910
Reston, Virginia 20195
(703) 390-3030

GDY:jj



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0036747
Application Number

출원 년 월 일 : 2003년 06월 09일
Date of Application JUN 09, 2003

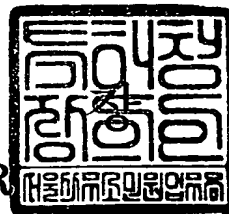
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 23 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0013
【제출일자】	2003.06.09
【국제특허분류】	G11C
【발명의 명칭】	레이턴시 회로를 구비하는 반도체 메모리 장치 및 그 데이터 출력 제어 방법
【발명의 영문명칭】	Semiconductor memory device having latency circuit and Data output control method there-of
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이상보
【성명의 영문표기】	LEE, Sang Bo
【주민등록번호】	670810-1558314
【우편번호】	449-905
【주소】	경기도 용인시 기흥읍 상갈리 금화마을 주공아파트 403동 1604호
【국적】	KR
【발명자】	
【성명의 국문표기】	송호영
【성명의 영문표기】	SONG, Ho Young
【주민등록번호】	721223-1334711

【우편번호】 449-901
【주소】 경기도 용인시 기흥읍 농서리 산 7-1 마로니에동 1407호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 28 면 28,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 33 항 1,165,000 원
【합계】 1,222,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

레이턴시 회로를 구비하는 반도체 메모리 장치 및 그 데이터 출력 제어 방법이 개시된다. 본 발명의 반도체 메모리 장치는 메모리셀 어레이, 메모리셀 어레이로부터 데이터를 수신하고, 레이턴시 신호에 응답하여 메모리셀 어레이로부터 수신된 데이터를 출력하는 출력 버퍼 및 카스 레이턴시와 독출 신호에 응답하여 레이턴시 신호를 발생하는 레이턴시 회로를 구비한다. 레이턴시 회로는 복수의 트랜스퍼 신호들과 복수의 트랜스퍼 신호들의 각각에 대응하는 샘플링 클럭 신호들을 발생하는 클럭 신호 발생회로 및 복수의 샘플링 클럭 신호들 중의 적어도 하나에 응답하여 독출 신호를 저장하고, 독출 신호를 저장하는데 사용된 샘플링 클럭 신호에 대응하는 트랜스퍼 신호에 응답하여 레이턴시 신호를 발생하는 레이턴시 신호 발생기를 포함한다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

레이턴시 회로를 구비하는 반도체 메모리 장치 및 그 데이터 출력 제어 방법{Semiconductor memory device having latency circuit and Data output control method there-of}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 일 실시예에 따른 메모리 장치를 나타내는 블록도이다.

도 2는 본 발명의 일 실시예에 따른 레이턴시 회로를 나타내는 도면이다.

도 3은 도 2에 도시된 쉬프트 레지스터를 상세히 도시하는 회로도이다.

도 4는 도 2에 도시된 레이턴시 회로를 내장하는 반도체 메모리 장치의 동작을 설명하기 위한 신호 파형도이다.

도 5a는 카스 레이턴시 모드가 2 내지 5(즉, CL2~CL5)인 경우에 제1 내지 제4 멀티플렉서의 일 구현예를 나타낸다.

도 5b는 도 5a에 도시된 제1 내지 제4 멀티플렉서에 대하여, 카스 레이턴시에 따른 입력 제어 신호들과 샘플링 클럭 신호들간의 매핑 관계를 나타내는 도면이다.

도 6은 본 발명의 다른 일 실시예에 따른 레이턴시 회로를 나타내는 블록도이다.

도 7a는 도 6에 도시된 트랜스퍼 신호 발생기의 일 구현예를 나타내는 회로도이다.

도 7b는 카스 레이턴시가 6인 경우에 도 7a의 트랜스퍼 신호 발생기로부터 발생하는 트랜스퍼 신호들의 파형도이다.

도 8은 도 6에 도시된 레이턴시 회로를 내장하는 반도체 메모리 장치의 동작을 설명하기 위한 신호 파형도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 장치에 관한 것으로, 특히, 반도체 메모리 장치에서 출력 데이터가 정해진 클럭 사이클 후에 출력될 수 있도록 제어해주는 레이턴시(latency) 회로와 이를 이용한 데이터 출력 제어 방법에 관한 것이다.
- <13> 동기식 반도체 장치는 외부로부터 인가되는 외부 클럭에 동기되어 데이터를 입출력한다. 반도체 장치의 외부 인터페이스가 외부 클럭에 동기되어 이루어지므로, 컨트롤러(controller)가 독출 명령을 준 후 몇 번째 클럭 사이클에서 유효한 데이터가 출력되어야 하는지를 미리 설정할 수 있다.
- <14> 카스 레이턴시(CAS latency)는 독출 명령(read command) 또는 칼럼 어드레스가 메모리 장치에 인가된 시점부터 메모리 장치의 외부로 데이터가 출력되기까지의 시간을 외부 클럭 사이클(tCC)의 배수로 표현한 것이다. 즉, 다시 말해서, 데이터는 독출 명령(독출 명령과 함께 인가되는 칼럼 어드레스)의 수신 후 CAS 레이턴시만큼의 클럭 사이클 후에 메모리 장치로부터 출력된다. 예를 들어, 카스 레이턴시가 2인 경우 독출 명령이 인가되는 외부 클럭 사이클로부터 2 클럭 사이클 후의 외부 클럭 사이클에 맞추어 데이터가 외부로 출력되어야 한다.

<15> 그러므로, 동기식 반도체 장치는 독출 명령에 응답하여 내부적으로 데이터를 독출하여, 정해진 클럭 싸이클 후, 즉 설정된 카스 레이턴시에 대응하는 클럭 싸이클 후에 출력하여야 한다.

<16> 레이턴시 회로는 동기식 반도체 장치에서 출력 데이터가 정해진 클럭 싸이클 후에 출력될 수 있도록 제어하기 위해 레이턴시 신호를 발생한다. 동기식 반도체 장치의 데이터 출력 버퍼는 레이턴시 신호가 인에이블되어 있을 때에만, 데이터 출력 클럭 신호에 트리거(trigger)되어 데이터를 출력한다. 따라서, 레이턴시 회로는 독출 명령이 인가된 후, 카스 레이턴시에 따른 데이터 출력 클럭 신호의 소정 싸이클 전에 레이턴시 신호를 제공하여야 한다.

<17> 종래 기술에 따른 레이턴시 회로는 외부로부터 독출 명령에 응답하여 내부적으로 발생된 독출 신호를 카스 레이턴시에 따른 적절한 클럭 수 또는 지연시간만큼 쉬프트(shift)하여 레이턴시 신호를 발생한다. 이와 같이, 내부적으로 발생하는 독출 신호를 여러 단계의 쉬프트를 거쳐 레이턴시 신호를 발생하는 종래 기술에 따른 레이턴시 회로는, 카스 레이턴시가 증가할수록 쉬프트 처리를 위한 지연이 증가하게 된다. 이는 카스 레이턴시가 증가하는 고주파수에서는 이중의 부담이 되어 반도체 장치의 동작 속도를 증가시키는데 있어서 큰 부담으로 작용한다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서 본 발명이 이루고자 하는 기술적 과제는 반도체 메모리 장치의 동작속도를 개선하는 레이턴시 회로를 포함하는 반도체 메모리 장치를 제공하는 것이다.

<19> 본 발명이 이루고자 하는 다른 기술적 과제는 반도체 메모리 장치의 동작속도를 개선하는 레이턴시 회로를 이용한 반도체 메모리 장치의 데이터 출력 제어 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <20> 상기 기술적 과제를 달성하기 위한 본 발명의 일 면에 따른 반도체 메모리 장치는 메모리셀 어레이; 상기 메모리셀 어레이로부터 데이터를 수신하고, 레이턴시 신호에 응답하여 상기 메모리셀 어레이로부터 수신된 데이터를 출력하는 출력 버퍼; 및 카스 레이턴시에 응답하여 복수의 트랜스퍼 신호들을 복수의 샘플링 클럭 신호들과 선택적으로 연관시킴으로써 상기 복수의 샘플링 클럭 신호의 각각과 상기 연관된 트랜스퍼 신호 간에 원하는 타이밍 관계가 이루어지도록 하고, 상기 복수의 샘플링 클럭 신호들 중 적어도 하나에 응답하여 독출 신호를 저장하며, 상기 독출 신호를 저장하는데 사용된 상기 샘플링 클럭 신호와 연관된 트랜스퍼 신호에 응답하여 상기 레이턴시 신호를 발생하는 레이턴시 회로를 구비한다.
- <21> 바람직하기로는, 상기 레이턴시 회로는 제1 신호에 응답하여 상기 복수의 트랜스퍼 신호들을 발생하는 트랜스퍼 신호 발생기; 제2 신호에 응답하여 상기 복수의 샘플링 클럭 신호들을 발생하는 샘플링 클럭 신호 발생기; 및 상기 복수의 샘플링 클럭 신호들, 상기 복수의 트랜스퍼 신호들 및 상기 독출 신호에 응답하여 상기 레이턴시 신호를 발생하는 레이턴시 신호 발생기를 포함한다.
- <22> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일 면에 따른 반도체 메모리 장치는 메모리셀 어레이; 상기 메모리셀 어레이로부터 데이터를 수신하고, 레이턴시 신호에 응답하여 상기 메모리셀 어레이로부터 수신된 데이터를 출력하는 출력 버퍼; 및 카스 레이턴시 및 독출 신호에 응답하여 상기 레이턴시 신호를 발생하는 레이턴시 회로를 구비하며, 상기 레이턴시 회로는 복수의 트랜스퍼 신호들과 상기 복수의 트랜스퍼 신호들의 각각에 대응하는 샘플링 클럭 신호들을 발생하는 클럭 신호 발생회로; 및 상기 복수의 샘플링 클럭 신호들 중의 적어도 하나에 응답하여 상기 독출 신호를 저장하고, 상기 독출 신호를 저장하는데 사용된 샘플링 클럭 신

호에 대응하는 트랜스퍼 신호에 응답하여 상기 레이턴시 신호를 발생하는 레이턴시 신호 발생기를 포함한다.

<23> 바람직하기로는, 상기 클럭 신호 발생회로는 상기 카스 레이턴시에 응답하여 스테이지 수가 조절되며, 각 스테이지에서 상기 복수의 트랜스퍼 신호들 중의 하나씩을 발생하는 쉬프트 레지스터를 포함한다.

<24> 상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 일면에 따른 반도체 메모리 장치는 메모리셀 어레이; 상기 메모리셀 어레이로부터 데이터를 수신하고, 레이턴시 신호 및 데이터 출력 클럭 신호에 응답하여 상기 메모리셀 어레이로부터 수신된 데이터를 출력하는 출력 버퍼; 외부 클럭 신호에 응답하여 상기 데이터 출력 클럭 신호를 발생하는 지연 동기 루프 회로; 외부 독출 명령에 응답하여 내부 독출 신호를 발생하는 독출 신호 발생기; 및 상기 내부 독출 신호, 상기 데이터 출력 클럭 신호 및 카스 레이턴시에 응답하여 상기 레이턴시 신호를 발생하는 레이턴시 회로를 구비하며, 상기 레이턴시 회로는 상호 위상이 다른 복수의 트랜스퍼 신호들을 발생하는 트랜스퍼 신호 발생기; 상기 복수의 트랜스퍼 신호들의 각각에 일대일로 매핑되는 복수의 샘플링 클럭 신호들을 발생하는 샘플링 클럭 신호 발생기; 및 상기 복수의 샘플링 클럭 신호들에 응답하여 상기 내부 독출 신호를 래치하고, 상기 복수의 트랜스퍼 신호들에 응답하여 상기 래치된 독출 신호를 상기 레이턴시 신호로 출력하는 레이턴시 신호 발생기를 포함한다.

<25> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 메모리 장치의 데이터 출력 제어 방법은 카스 레이턴시에 응답하여 반도체 메모리 장치로부터의 데이터 출력을 제어하는 방법으로서, (a) 출력을 위해 출력 버퍼에 데이터를 저장하는 단계; (b) 레이턴시 신호에 응답하여 상기 출력 버퍼로부터 데이터를 출력하는 단계; (c) 상기 카스 레이턴시

에 응답하여 복수의 트랜스퍼 신호들을 복수의 샘플링 클럭 신호들과 선택적으로 연관시킴으로써 상기 복수의 샘플링 클럭 신호의 각각과 상기 연관된 트랜스퍼 신호 간에 원하는 타이밍 관계가 이루어지도록 하는 단계; (d) 상기 복수의 샘플링 클럭 신호들 중 적어도 하나에 응답하여 독출 신호를 저장하는 단계; 및 (e) 상기 독출 신호를 저장하는데 사용된 상기 샘플링 클럭 신호와 연관된 트랜스퍼 신호에 응답하여 상기 레이턴시 신호를 발생하는 단계를 구비한다.

<26> 바람직하기로는, 상기 (c) 단계는 (c1) 제1 신호에 응답하여 상기 복수의 트랜스퍼 신호들을 발생하는 단계; 및 (c2) 제2 신호에 응답하여 상기 복수의 샘플링 클럭 신호들을 발생하는 단계를 포함한다.

<27> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 다른 일 실시예에 따른 반도체 메모리 장치의 데이터 출력 제어 방법 역시 카스 레이턴시에 응답하여 반도체 메모리 장치로부터의 데이터 출력을 제어하는 방법으로서, (a) 출력을 위해 출력 버퍼에 데이터를 저장하는 단계; (b) 레이턴시 신호에 응답하여 상기 출력 버퍼로부터 데이터를 출력하는 단계; (c) 복수의 트랜스퍼 신호들과 상기 복수의 트랜스퍼 신호들의 각각에 대응하는 샘플링 클럭 신호들을 발생하는 단계; (d) 상기 복수의 샘플링 클럭 신호들 중의 적어도 하나에 응답하여 상기 독출 신호를 저장하는 단계 및 (e) 상기 독출 신호를 저장하는데 사용된 샘플링 클럭 신호에 대응하는 트랜스퍼 신호에 응답하여 상기 레이턴시 신호를 발생하는 단계를 구비한다.

<28> 바람직하기로는, 상기 (c) 단계는 상기 복수의 샘플링 클럭 신호들의 각각을 트랜스퍼-샘플링 시간만큼 지연하는 단계를 포함한다.

<29> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 또 다른 일 면에 따른 반도체 메모리 장치의 데이터 출력 제어 방법 역시 카스 레이턴시에 응답하여 반도체 메모리 장치로부터의 데이터 출력을 제어하는 방법으로서, (a) 출력을 위해 출력 버퍼에 데이터를 저장하는 단계; (b)

외부 클럭 신호에 응답하여 데이터 출력 클럭 신호를 발생하는 단계; (c) 외부 독출 명령에 응답하여 내부 독출 신호를 발생하는 단계; (d) 상기 데이터 출력 클럭 및 상기 레이턴시 신호에 응답하여 상기 출력 버퍼로부터 데이터를 출력하는 단계; (e) 상호 위상이 다른 복수의 트랜스퍼 신호들을 발생하는 단계; (f) 상기 복수의 트랜스퍼 신호들의 각각에 일대일로 매핑되는 복수의 샘플링 클럭 신호들을 발생하는 단계; 및 (g) 상기 복수의 샘플링 클럭 신호들에 응답하여 상기 내부 독출 신호를 래치하는 단계; 및 (h) 상기 복수의 트랜스퍼 신호들에 응답하여 상기 래치된 독출 신호를 상기 레이턴시 신호로 출력하는 단계를 구비한다.

<30> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<31> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<32> 도 1은 본 발명의 일 실시예에 따른 메모리 장치(100)를 나타내는 블록도이다. 이를 참조하면, 메모리 장치(100)는 메모리 셀 어레이(110), 클럭 동기 회로 블록(120), 독출 명령 경로 블록(130), 데이터 출력 버퍼(140), 모드 레지스터(mode register)(150) 및 레이턴시 회로(200)를 구비한다.

<33> 메모리 장치(100)의 개략적인 동작을 기술하면 다음과 같다.

<34> 데이터(DATA)는 메모리 셀 어레이(110)에 기입되고, 메모리 셀 어레이(110)로부터 독출되어 외부로 출력된다. 독출 명령(READ CMD)이 메모리 장치(100)에 인가되면, 데이터(DATA)는 외부로부터 수신된 어드레스(ADDRESS)에 따라 메모리 셀 어레이(110)로부터 독출된다. 버퍼

(116)는 외부의 어드레스(ADDRESS)를 수신하여 일시적으로 저장한다. 로우 디코더(112)는 버퍼(116)에 저장된 어드레스를 수신하여 그 어드레스로부터 메모리 셀 어레이(110)의 로우 어드레스(row address)를 디코딩한다. 칼럼 디코더(114)는 버퍼(116)에 저장된 어드레스를 수신하여 그 어드레스로부터 메모리 셀 어레이(110)의 칼럼 어드레스(column address)를 디코딩한다. 메모리 셀 어레이(110)는 로우 및 칼럼 어드레스에 의해 지정된 메모리셀의 데이터(DATA)를 출력한다. 데이터 출력 버퍼(140)는 메모리셀 어레이(110)로부터 출력되는 데이터(DATA)를 수신하고, 수신된 데이터(DATA)를 레이턴시 회로(200)에서 출력되는 레이턴시 신호(LATENCY)와 데이터 출력 클럭 신호(CLKDQ)에 따라 출력한다.

<35> 클럭 동기 회로 블록(120)은 외부 클럭 신호(ECLK)에 응답하여 데이터 출력 클럭 신호(CLKDQ)를 발생한다. 외부 클럭 신호(ECLK)는 메모리 장치(100)의 대부분의 명령에 대한 기준 클럭 신호가 된다. 즉, 대부분의 명령은 외부 클럭 신호(ECLK)에 동기되어 메모리 장치(100)에 인가된다.

<36> 도 1에 도시되듯이, 클럭 동기 회로 블록(120)은 지연동기 루프(delay locked loop, DLL) 회로이다. DLL 회로(120)는 가변 지연기(122), 복제 데이터 출력 버퍼(124) 및 위상 검출기(126)를 포함한다. DLL 회로(120)는 외부 클럭 신호(ECLK)에 비하여 위상이 앞서는(leading) 데이터 출력 클럭 신호(CLKDQ)를 발생한다. 즉, 데이터 출력 클럭 신호(CLKDQ)는 외부 클럭 신호(ECLK)와 동일한 주파수를 가지지만, 데이터 출력 클럭 신호(CLKDQ)의 펄스들은 외부 클럭 신호(ECLK)의 펄스들보다 데이터 출력 시간(tSAC)만큼 앞선다. 데이터 출력 시간(tSAC)은 데이터 출력 버퍼(140)가 데이터를 출력하기까지 소요되는 시간이다. 따라서, DLL 회로(120)는 데이터 출력 버퍼(140)에서 출력되는 데이터(DOUT)가 외부 클럭 신호(ECLK)에 동기되도록 한다.

- <37> 독출 명령 경로 블록(130)은 독출 명령(READ CMD)과 외부 클럭 신호(ECLK)를 수신한다. 내부 클럭 발생기(132)는 외부 클럭 신호(ECLK)를 수신하여 외부 클럭 신호(ECLK)로부터 내부 클럭 신호(PCLK)를 발생한다. 특히, 내부 클럭 신호(PCLK)는 외부 클럭 신호(ECLK)의 버퍼링된 신호이다. 그러므로, 내부 클럭 신호(PCLK)는 외부 클럭 신호(ECLK)와 동일한 주파수를 가지나, 외부 클럭 신호(ECLK)로부터 소정 시간 지연된다. 내부 클럭 신호(PCLK)의 스윙 레벨은 CMOS 레벨이다. 내부 클럭 신호(PCLK)는 메모리 장치(100) 내에서 데이터 감지 증폭기(미도시), 데이터 멀티플렉서(미도시) 등과 같이 주변 회로들을 제어하는데 사용된다. 독출 명령 버퍼(134)는 내부 클럭 신호(PCLK)에 동기된 독출 명령(READ CMD)을 입력한다. 그리고, 내부 독출 신호(PREAD)를 출력한다. 내부 독출 신호(PREAD)는 레이턴시 회로(200)에 제공된다.
- <38> 메모리 장치(100)는 여러 동작 모드를 가진다. 모드 레지스터(150)는 메모리 장치(100)에 인가된 모드 레지스터 셋(mode register set, MRS) 명령(MRS CMD)을 저장한다. MRS 명령(MRS CMD)은 메모리 장치(100)의 모드를 나타낸다. CAS 레이턴시(CLi, i는 자연수)는 MRS 명령(MRS CMD)에 의해 결정된다.
- <39> 레이턴시 회로(200, 600)는 모드 레지스터(150)로부터 CAS 레이턴시(CLi)를 수신하고, 데이터 출력 버퍼(140)가 CAS 레이턴시(CLi)에 따라 적절한 시점에 인에이블되어 데이터를 출력하도록 레이턴시 신호(LATENCY)를 발생한다. 좀 더 구체적으로, 데이터 출력 버퍼(140)는 레이턴시 신호(LATENCY)가 인에이블되어 있는 동안에 데이터 출력 클럭 신호(CLKDQ)에 응답하여 저장된 데이터를 출력한다.
- <40> 도 2는 본 발명의 일 실시예에 따른 레이턴시 회로(200)를 나타내는 도면이다. 이를 참조하면, 본 발명의 일 실시예에 따른 레이턴시 회로(200)는 입력 제어 신호 발생기(210), 트랜스퍼 신호 발생기(250), 독출 신호 저장부(230) 및 매핑부(240)를 포함한다.

- <41> 입력 제어 신호 발생기(210)는 내부 클럭 신호(PCLK)에 응답하여 제1 내지 제4 입력 제어 신호들(S1~S4)을 발생한다. 유사하게, 트랜스퍼 신호 발생기(250)는 데이터 출력 클럭 신호(CLKDQ)에 응답하여 제1 내지 제4 트랜스퍼 신호들(TCLK1~TCLK4)을 발생한다. 입력 제어 신호 발생기(210)와 트랜스퍼 신호 발생기(250)는 각각의 쉬프트 레지스터(220, 260)를 구비한다.
- <42> 도 3은 도 2에 도시된 쉬프트 레지스터(220, 260)를 상세히 도시하는 회로도이다. 이를 참조하면, 쉬프트 레지스터(220, 260)는 직렬로 연결되는 제1 내지 제4 D 플립플롭(221~224)과, 제1 내지 제4 앤드 게이트(225~228)를 포함한다. 제1 내지 제4 앤드 게이트(225~228)는 각각 제1 내지 제4 D 플립플롭(221~224)의 Q 출력에 연결되는 하나의 입력을 가진다. 제1 내지 제4 앤드 게이트(225~228)의 다른 입력과 제1 내지 제4 D 플립플롭(221~224)의 클럭 입력(CLK)은, 입력 제어 신호 발생기(210)의 경우에는 내부 클럭 신호(PCLK)를 수신하고, 트랜스퍼 신호 발생기(250)의 경우에는 데이터 출력 클럭 신호(CLKDQ)를 수신한다. 도 3에 도시되듯이, 마지막 D 플립플롭인 제4 D 플립플롭(224)의 Q 출력은 제1 D 플립플롭(221)의 입력으로 들어간다. 제1 내지 제4 앤드 게이트(225~228)의 출력들은, 입력 제어 신호 발생기(210)의 경우에는 제1 내지 제4 입력 제어 신호들(S1~S4)을 제공하고, 트랜스퍼 신호 발생기(250)의 경우에는 제1 내지 제4 트랜스퍼 신호(TCLK1~TCLK4)를 제공한다. 제1 내지 제4 D 플립플롭(221~224)의 리셋 입력들은 리셋 신호(RESET)를 수신한다. 제1 D 플립플롭(221)은 설정 가능한 D 플립플롭이고, 제2 내지 제4 D 플립플롭(222~224)은 리셋 가능한 D 플립플롭이다. 리셋 신호(RESET)는 제1 D 플립플롭(221)을 'SET'(로직 하이 상태)로, 다른 D 플립플롭들(222~224)을 'RESET'(로직 로우레벨)으로 설정되도록 한다.

- <43> 수신되는 클럭 신호(PCLK 또는 CLKDQ)의 상승 에지(rising edge)에서 로직 하イレ벨 신호가 제1 D 플립플롭(221)으로 인가되면, 이 펄스는 각 클럭 신호(PCLK 또는 CLKDQ)의 펄스들이 수신됨에 따라 제2 내지 제4 D 플립플롭(222~224)으로 전달된다. 따라서, 로직 하イレ벨 신호가 제1 내지 제4 D 플립플롭(221~224)의 하나에 존재할 때, 제1 내지 제4 앤드 게이트(225~228) 중 해당 게이트는 로직 하イレ벨의 펄스를 클럭 신호(PCLK 또는 CLKDQ)에 동기시켜 출력한다.
- <44> 다시 도 2를 참조하면, 매핑부(240)는 제1 내지 제4 멀티플렉서(241~244)를 포함한다. 제1 내지 제4 멀티플렉서(241~244)는 각각 4개의 입력과 하나의 출력을 가진다. 제1 내지 제4 멀티플렉서(241~244) 각각은 제1 내지 제4 입력 제어 신호(S1~S4)를 수신하고, 이 신호들(S1~S4) 중에서 어느 하나를 선택하여 제1 내지 제4 샘플링 클럭 신호(SCLK1~SCLK4)로 제공한다. 제1 내지 제4 멀티플렉서(241~244) 각각에서의 선택은 카스 레이턴시(CL_i)에 의해 제어된다. 따라서, 입력 제어 신호 발생기(210)와 매핑부(240)에 의해 제1 내지 제4 샘플링 클럭 신호(SCLK1~SCLK4)가 발생된다고 할 수 있다.
- <45> 독출 신호 저장부(230)는 제1 내지 제4 래치들(231~234)을 포함한다. 제1 내지 제4 래치들(231~234)은 클럭 입력으로 제1 내지 제4 샘플링 클럭 신호들(SCLK1~SCLK4)을 각각 수신하고, 래치 입력으로 내부 독출 신호(PREAD)를 수신한다. 또한, 제1 내지 제4 래치들(231~234)은 리셋 신호(RESET)에 연결되는 리셋 입력을 가지며, 제1 내지 제4 출력 신호들(LS1~LS4)을 각각 발생한다. 각 래치(231~234)는 각각의 수신되는 샘플링 클럭 신호(SCLK1~SCLK4)의 상승 에지(rising edge)에서 내부 독출 신호(PREAD)를 래치한다. 제1 내지 제4 출력 신호들(LS1~LS4)은 각각 제1 내지 제4 스위치(235~238)로 전달된다.

<46> 제1 내지 제4 스위치(235~238)의 출력은 출력 래치(539)에 연결된다. 제1 내지 제4 스위치(235~238)는 각각 제1 내지 제4 트랜스퍼 제어 신호(TCLK1~TCLK4)에 응답하여 온(on)되어 해당 출력 신호(LS1~LS4)를 출력 래치(239)로 전달한다. 출력 래치(239)의 리셋 입력 역시 리셋 신호(RESET)에 연결된다. 제1 내지 제4 래치(231~234) 및 출력 래치(239)는 리셋 신호(RESET)가 인에이블될 때, '0'으로 리셋된다. 출력 래치(239)의 출력 신호가 레이턴시 신호(LATENCY)이다. 도 2에 도시된 레이턴시 회로(200)는 4개의 D 플립 플롭들(도 3의 221~224), 래치들(231~234), 스위치들(235~238) 및 멀티플렉서들(241~244)로 볼 때, 4개의 CAS 레이턴시 모드를 지원한다. 그러나, 본 발명은 4개의 CAS 레이턴시 모드를 지원하는데 한정되지 않고, 레이턴시 회로(200)를 구현하는 D 플립플롭, 래치, 스위치와 멀티플렉서의 수를 증가시키거나 감소함으로써 더 많은 또는 더 적은 CAS 레이턴시 모드를 지원할 수 있다.

<47> 도 5a는 지원되는 4개의 카스 레이턴시 모드가 2 내지 5(즉, CL2~CL5)인 경우에 제1 내지 제4 멀티플렉서(241~244)의 일 구현예를 나타낸다. 도 5a에 도시된 바와 같이, 제1 내지 제4 멀티플렉서(241~244) 각각은 제1 내지 제4 입력 제어 신호(S1~S4) 중의 하나를 제1 내지 제4 샘플링 클럭 신호(SCLK1~SCLK4)로 매핑한다. 제1 멀티플렉서(242)를 좀 더 구체적으로 설명하면, 제1 멀티플렉서(241)는 카스 레이턴시가 5(CL5)일 때는 제1 입력 제어 신호(S1)를, 카스 레이턴시가 4(CL4)일 때는 제2 입력 제어 신호(S2)를, 카스 레이턴시가 3(CL3)일 때는 제3 입력 제어 신호(S3)를, 그리고, 카스 레이턴시가 2(CL2)일 때는 제1 입력 제어 신호(S1)를 각각 제1 샘플링 클럭 신호(SCLK1)로 매핑한다. 도 5b는 도 5a에 도시된 제1 내지 제4 멀티플렉서(241~244)에 대하여, 카스 레이턴시에 따라 제1 내지 제4 입력 제어 신호(S1~S4)의 어떤 신호가 제1 내지 제4 샘플링 클럭 신호(SCLK1~SCLK4)로 각각 매핑되는지를 나타낸다.

<48> 도 4는 도 2에 도시된 레이턴시 회로(200)를 내장하는 반도체 메모리 장치(100)의 동작을 설명하기 위한 신호 파형도이다. 리셋 신호(RESET)는 DLL 회로(120)의 동기완료(End of DLL Locking) 후에 소정시간 인에이블되는 신호이다. 리셋 신호(RESET)가 인에이블되면, 리셋 신호(RESET)는 DLL 회로(120), 독출 명령 경로 블록(130) 및 레이턴시 회로(200)를 리셋한다. 그 결과, 데이터 출력 클럭 신호(CLKDQ), 내부 클럭 신호(PCLK), 제1 내지 제4 트랜스퍼 신호(TCLK1~TCLK4), 제1 내지 제4 입력 제어 신호(S1~S4) 및 레이턴시 신호는 로직 로우 또는 '0' 상태로 리셋된다.

<49> 외부 클럭 신호(ECLK)는 외부 클럭 신호(ECLK), 데이터 출력 클럭 신호(CLKDQ) 및 내부 클럭 신호(PCLK)와의 관계에 대한 이해를 돕기 위해 1,2,3, 등으로 라벨이 붙여진다. 리셋 신호의 인에이블 시점으로부터 제1 내부 지연 기간(t_{RS1}) 후에 DLL 회로(120)는 데이터 출력 클럭 신호(CLKDQ)를 발생하기 시작한다. 리셋 신호(RESET)의 인에이블 시점으로부터 제2 내부 지연 기간(t_{RS2}) 후에 내부 클럭 신호(PCLK)가 발생되기 시작한다. 상술한 바와 같이, 데이터 출력 클럭 신호(CLKDQ)는 외부 클럭 신호(ECLK)보다 ' t_{SAC} '만큼 앞선다. 내부 클럭 신호(PCLK)는 데이터 출력 클럭 신호(CLKDQ)에 비하여 ' $t_{SAC}+t_{READ}$ ' 정도 뒤진(lag) 위상을 가진다. ' t_{READ} '는 독출 명령 버퍼(134)가 독출 명령(READ CMD)을 수신하는 시점과 내부 독출 신호(PREAD)를 발생하는 시점간의 시간 간격을 말한다.

<50> 데이터 출력 클럭 신호(CLKDQ) 및 내부 클럭 신호(PCLK) 역시 외부 클럭 신호(ECLK)와의 관계를 보여주기 위해 1,2,3,... 등으로 라벨이 붙여진다. 따라서, 리셋 동작은 이러한 클럭 신호들간의 타이밍 관계를 적절히 설정하기 위한 것이라 할 수 있다.

<51> 트랜스퍼 신호 발생기(250)가 데이터 출력 클럭 신호(CLKDQ)의 클럭 신호 펄스들을 수신하기 시작하면, 제1 내지 제4 트랜스퍼 신호(TCLK1~TCLK4)들이 발생된다. 각 트랜스퍼 신호

(TCLK1~TCLK4)는 외부 클럭 신호(ECLK)의 주파수를 최대 지원 가능한 카스 레이턴시 모드
수(여기서는 4)로 나눈 주파수와 동일한 주파수를 가진다. 즉, 제1 내지 제4 트랜스퍼 신호
(TCLK1~TCLK4)의 주파수는 쉬프트 레지스터(260)의 D 플립플롭의 수에 의해 결정된다.

<52> 입력 제어 신호 발생기(210)가 내부 클럭 신호(PCLK)의 클럭 신호 펄스들을 수신하기 시
작하면, 제1 내지 제4 입력 제어 신호(S1~S4)들이 발생된다. 제1 내지 제4 입력 제어 신호
(S1~S4)는 제1 내지 제4 트랜스퍼 신호(TCLK1~TCLK4)와 마찬가지로, 외부 클럭 신호(ECLK)의
주파수를 최대 지원가능한 카스 레이턴시 모드 수(여기서는 4)로 나눈 주파수와 동일한 주파
수를 가진다. 즉, 제1 내지 제4 입력 제어 신호(S1~S4)의 주파수는 쉬프트 레지스터(220)의 D
플립플롭의 수에 의해 결정된다.

<53> 상기 기술한 본 발명의 일 실시예의 동작은 본 발명의 일 실시예에 의해 지원되는 4가지
가능한 카스 레이턴시 모드들, 즉 CL=2, 3, 4 또는 5의 어느 것에 대해서도 적용된다. 그러나,
도 4에 도시된 제1 내지 제4 샘플링 클럭 신호(SCLK1~SCLK4), 제1 내지 제4 출력 신호
(LS1~LS4), 레이턴시 신호(LATENCY) 및 출력 데이터(DOUT)는 카스 레이턴시가 4일 때를 가정한
것이다.

<54> 도 4를 참조하여, 카스 레이턴시가 4인 경우를 예로 들어 본 발명의 일 실시예에 따른
반도체 메모리 장치의 동작을 좀 더 상세히 기술하면 다음과 같다.

<55> 독출 명령(READ CMD)이 외부 클럭(ECLK)의 세 번째 클럭 사이클(3)에 동기되어 입력되면
, 독출 명령(READ CMD)의 입력 시점으로부터 "tREAD" 후에 내부 독출 신호(PREAD)가 내부적으
로 인에이블된다.

- <56> 내부 독출 신호(PREAD)는 제1 내지 제4 샘플링 클럭 신호(SCLK1~SCLK4)에 응답하여 제1 내지 제4 래치들(231~234)에 의해 래치된다. 여기서는, 제2 샘플링 클럭 신호(SCLK2)에 응답하여 하이레벨의 내부 독출 신호(PREAD)가 제2 래치(232)에 래치되고, 제1, 제3 및 제4 래치(231, 233, 234)에는 로우레벨 데이터가 래치된다. 제2 래치(232)는 제2 샘플링 클럭 신호(SCLK2)에 의한 다음 래치 시점까지는 이전 데이터를 유지하므로, 약 4클럭 사이클(4tCC) 동안 하이레벨의 내부 독출 신호(PREAD)를 래치하게 된다.
- <57> 여기서는, 제1 내지 제4 샘플링 클럭 신호(SCLK1~SCLK4)는 내부 클럭 신호(PCLK)에 동기되어 발생된다. 그러나, 내부 독출 신호(PREAD)의 샘플링시 마진을 고려하기 위하여, 제1 내지 제4 샘플링 클럭(SCLK1~SCLK4)은 내부 클럭 신호(PCLK)의 에지에 비하여 소정시간 지연되어 발생될 수 있다. 마찬가지로, 제1 내지 제4 트랜스퍼 신호들(TCLK1~TCLK4) 역시 데이터 출력 클럭 신호(CLKDQ)의 에지에 비하여 소정시간 지연되어 발생될 수 있다.
- <58> 제1 내지 제4 래치(231~234)에 저장되어 있는 데이터(LS1~LS4)는 각각 제1 내지 제4 트랜스퍼 신호(TCLK1~TCLK4)에 응답하여 레이턴시 신호(LATENCY)로 발생된다. 따라서, 제2 트랜스퍼 신호(TCLK2)에 응답하여 레이턴시 신호(LATENCY)는 하이레벨 상태로 인에이블되고, 제3 트랜스퍼 신호(TCLK3)에 응답하여 레이턴시 신호(LATENCY)는 로우레벨 상태로 디스에이블된다.
- <59> 출력 데이터(DOUT)는 레이턴시 신호(LATENCY)가 하이레벨로 인에이블되어 있는 구간 동안에 데이터 출력 클럭 신호(CLKDQ)에 동기되어 출력된다. 데이터 출력 클럭 신호(CLKDQ)에 동기된 출력 데이터(DOUT)는 "tSAC" 후에 버스(bus)로 출력된다.
- <60> 따라서, 데이터 출력 클럭 신호(CLKDQ)의 7번째 사이클(7)에 동기되어 출력되는 출력 데이터(DOUT)는 결국, 외부 클럭(ECLK)의 7번째 클럭 사이클(7)에 동기되어 버스로 출력된다. 따



라서, 외부 클럭(ECLK)의 3번째 클럭 사이클(3)에 입력된 독출 명령(READ CMD)에 응답하여 외부 클럭(ECLK)의 7번째 클럭 사이클(7)에서 유효한 출력 데이터(DOUT)가 출력되므로, 카스 레이턴시가 4인 경우에 해당하는 것이다.

<61> 상술한 바와 같이, 본 발명의 일 실시예는 다수의 샘플링 클럭 신호들을 이용하여 내부 독출 신호(PREAD)를 래치하여 저장하고 있다가, 래치된 독출 신호(PREAD)를 원하는 출력 클럭(CCLKDQ)에 맞추어 레이턴시 신호(LATENCY)로 발생한다. 즉, 본 발명은 레이턴시 신호(LATENCY)를 발생하는데 있어서, 다수의 샘플링 클럭과 다수의 트랜스퍼 클럭을 이용하여 웨이브 파이프라인(wave-pipeline) 방식처럼 병렬 처리한다.

<62> 따라서, 독출 신호(PREAD)가 발생된 이후에 독출 신호(PREAD)를 카스 레이턴시만큼 쉬프트하기 위하여 복잡한 로직 처리 과정을 거치는 종래 기술에 따른 레이턴시 제어에 비하여 고속 동작에 유리하다.

<63> 도 6은 본 발명의 다른 일 실시예에 따른 레이턴시 회로(600)를 나타내는 블록도이다. 이를 참조하면, 본 발명의 다른 일 실시예에 따른 레이턴시 회로(600)는 클럭 신호 발생회로(610) 및 레이턴시 신호 발생기(640)를 구비한다.

<64> 클럭 신호 발생회로(610)는 트랜스퍼 신호 발생기(620)와 제1 내지 제8 지연 소자들(631~638)을 포함한다. 트랜스퍼 신호 발생기(620)의 일 구현예가 도 7a에 도시된다.

<65> 도 7a를 참조하면, 트랜스퍼 신호 발생기(620)는 직렬로 연결되는 제1 내지 제8 D 플립플롭(621~628) 및 제1 내지 제4 스위치(SW1~SW4)를 포함한다. 제1 내지 제7 D 플립플롭(621~627)의 출력은 제2 내지 제8 D 플립플롭(622~628)의 입력에 연결된다. 제1 내지 제8 D 플립플롭(621~628)의 각 클럭 입력(CLK)은 예비 데이터 출력 클럭 신호(CCLKDQF)를 수신한다. 예



비 데이터 출력 클럭(CCLKDQF)은 DLL 회로(도 1의 120)에 의하여 발생하는 데이터 출력 클럭 신호(CCLKDQ)와 동일한 주파수를 가지고, 데이터 출력 클럭 신호(CCLKDQ)에 비하여 소정 시간만큼 빠른 위상을 가지는 신호이다.

<66> 제1 D 플립플롭(621)은 초기에 '1'로 설정되고, 제2 내지 제8 D 플립플롭(622~628)은 초기에 '0'으로 설정된다. 제1 D 플립플롭(621)은 스타트 신호(START)에 연결되는 입력을 가진다. 스타트 신호(START)는 반도체 메모리 장치에 전원이 인가된 후 소정 시간 뒤에 인에이블되는 신호인 것이 바람직하다. 제5 D 플립플롭(625)의 출력은 제1 스위치(SW1)를 통하여 제1 D 플립플롭(621)의 입력에, 제6 D 플립플롭(626)의 출력은 제2 스위치(SW2)를 통하여 제1 D 플립플롭(621)의 입력에, 제7 D 플립플롭(627)의 출력은 제3 스위치(SW3)를 통하여 제1 D 플립플롭(621)의 입력에, 그리고, 제8 D 플립플롭(628)의 출력은 제4 스위치(SW4)를 통하여 제1 D 플립플롭(621)의 입력에 연결된다. 제1 내지 제4 스위치(SW1~SW4)는 카스 레이턴시(CLi)에 의해 제어된다. 카스 레이턴시가 5일 때는 제1 스위치(SW1)만, 6일 때는 제2 스위치(SW2)만, 7일 때는 제3 스위치(SW3)만, 그리고 8일 때는 제4 스위치(SW4)만 닫힌다. 그리고, 제6 내지 제8 D 플립플롭(626~628)은 카스 레이턴시(CLi)에 응답하여 리셋될 수 있다. 좀 더 구체적으로, 카스 레이턴시가 5일 때는 제6 내지 제8 D 플립플롭(626~628)은 리셋되고, 카스 레이턴시가 6일 때는 제7 내지 제8 D 플립플롭(627~628)은 리셋되며, 카스 레이턴시가 7일 때는 제8 D 플립플롭(628)은 리셋된다.

<67> 카스 레이턴시가 6인 경우에 도 7a의 트랜스퍼 신호 발생기(620)로부터 발생하는 제1 내지 제8 트랜스퍼 신호(TCLK1~TCLK8)의 파형도가 도 7b에 도시된다. 도 7a와 도 7b를 함께 참조하면, 카스 레이턴시가 6인 경우에, 제2 스위치(SW2)는 닫히고 나머지 스위치(SW1, SW3~SW4)는 열린다. 따라서, 제6 D 플립플롭(626)의 출력이 제1 D 플립플롭(621)의 입력에 연결되고, 제7

및 제8 D 플립플롭(627, 628)은 카스 레이턴시(CLi)에 응답하여 리셋되어 실질적으로 동작하지 않는다.

<68> 스타트 신호(START)가 인에이블된 후 예비 데이터 출력 클럭 신호(CLKDQF)의 상승 에지(rising edge)에 동기되어 로직 하イレ벨('1')의 제1 트랜스퍼 신호(TCLK1)가 발생되고, 이 신호(TCLK1)는 예비 데이터 출력 클럭 신호(CLKDQF)의 펄스가 수신됨에 따라 제2 내지 제6 D 플립플롭(622~626)으로 전달된다. 따라서, 주파수는 동일하고 펄스는 한 클럭 사이클만큼 쉬프트된 제1 내지 제6 트랜스퍼 신호(TCLK1~TCLK6)가 발생된다. 제1 내지 제6 트랜스퍼 신호(TCLK1~TCLK6)의 주파수는 예비 데이터 출력 클럭 신호(CLKDQF)의 주파수를 카스 레이턴시(여기서는 6)로 나눈 주파수와 동일하다. 도 7b에 도시되듯이 제1 트랜스퍼 신호(TCLK1)의 펄스들은 6 클럭 사이클 간격으로 발생한다. 제2 내지 제6 트랜스퍼 신호(TCLK2~TCLK6)도 마찬가지로 발생한다. 카스 레이턴시가 증가하면 각 트랜스퍼 신호(TCLK1~TCLK6)의 주파수는 낮아지며, 카스 레이턴시가 감소하면 각 트랜스퍼 신호(TCLK1~TCLK6)의 주파수는 높아진다. 트랜스퍼 신호 발생기(620)는 예비 데이터 출력 클럭 신호(CLKDQF) 대신에 데이터 출력 클럭 신호(CLKDQ)에 직접 응답하여 제1 내지 제8 트랜스퍼 신호(TCLK1~TCLK8)를 발생할 수도 있다. 그러나, 이 경우에는 데이터 출력시 마진이 부족할 수 있다. 이에 대해서는 뒤에 다시 기술될 것이다.

<69> 다시 도 6을 참조하면, 제1 내지 제8 지연 소자(641~648)는 각각 제1 내지 제8 트랜스퍼 신호(TCLK1~TCLK8)를 소정의 트랜스퍼-샘플링 시간(도 8의 tTS)만큼 지연하여 제1 내지 제8 샘플링 클럭 신호(SCLK1~SCLK8)를 각각 발생한다. 트랜스퍼-샘플링 시간(tTS)은 'tSAC+tREAD+tMG'인 것이 바람직하다. 여기서, 'tMG'은 레이턴시 회로(600)의 적절한 동작을 위해 레이턴시 회로(600)에서의 지연이나 내부 독출 신호(PREAD)의 샘플링 마진을 고려한 시간이다.

- <70> 레이턴시 신호 발생기(640)는 제1 스위치들(650), 제1 내지 제8 래치(641~648) 및 제2 스위치들(660)을 포함한다. 제1 스위치들(650)은 각각 제1 내지 제8 샘플링 클럭 신호(SCLK1~SCLK8)에 응답하여 내부 독출 신호(PREAD)를 제1 내지 제8 래치(641~648)로 각각 저장한다. 제2 스위치들(660)은 각각 제1 내지 제8 트랜스퍼 신호(TCLK1~TCLK8)에 응답하여 제1 내지 제8 래치(641~648)의 신호를 레이턴시 신호(LATENCY)로 출력한다.
- <71> 도 8은 도 6에 도시된 레이턴시 회로(600)를 내장하는 반도체 메모리 장치(100)의 동작을 설명하기 위한 신호 파형도이다. 즉, 도 1의 반도체 메모리 장치(100)에서 도 2에 도시된 레이턴시 회로(200) 대신에 도 6에 도시된 레이턴시 회로(600)가 사용된 경우이다.
- <72> 외부 클럭 신호(ECLK), 예비 데이터 출력 클럭 신호(CLKDQF), 데이터 출력 클럭 신호(CLKDQ) 및 내부 클럭 신호(PCLK)는 상호간의 관계에 대한 이해를 돕기 위해 1,2,3, 등으로 라벨이 붙여진다.
- <73> 내부 클럭 발생기(도 1의 132)로부터 내부 클럭 신호(PCLK)가 발생되고, 내부 클럭 신호(PCLK) 및 외부 독출 명령(READ CMD)에 응답하여 내부 독출 신호(PREAD)가 발생된다. 독출 명령(READ CMD)이 외부 클럭(ECLK)의 첫 번째 클럭 싸이클(1)에 동기되어 입력되면, 독출 명령(READ CMD)의 입력 시점으로부터 "tREAD" 후에 내부 독출 신호(PREAD)가 내부적으로 인에이블된다. 데이터 출력 클럭 신호(CLKDQ)는 DLL 회로(도 1의 120)에 의하여 발생된다. 예비 데이터 출력 클럭(CLKDQF)은 데이터 출력 클럭 신호(CLKDQ)와 동일한 주파수를 가지고, 데이터 출력 클럭 신호(CLKDQ)에 비하여 약간 빠른 위상을 가지는 신호이다. 도 6 내지 도 7b에서 상술한 바와 같이, 트랜스퍼 신호 발생기(620)는 예비 데이터 출력 클럭 신호(CLKDQF)에 응답하여 제1 내지 제6 트랜스퍼 신호(TCLK1~TCLK6)를 발생한다. 제1 내지 제6 트랜스퍼 신호(TCLK1~TCLK6)

와 각각 트랜스퍼-샘플링 시간(t_{TS})만큼씩 지연된 제1 내지 제6 샘플링 클럭 신호 (SCLK1~SCLK6)가 발생된다.

<74> 도 8에 도시된 제1 내지 제6 트랜스퍼 신호(TCLK1~TCLK6), 제1 내지 제6 샘플링 클럭 신호(SCLK1~SCLK6), 레이턴시 신호(LATENCY) 및 출력 데이터(DOUT)는 카스 레이턴시가 6일 때를 가정한 것이다.

<75> 내부 독출 신호(PREAD)는 제1 내지 제6 샘플링 클럭 신호(SCLK1~SCLK4)에 응답하여 제1 내지 제6 래치들(도 6의 641~646)에 의해 래치된다. 여기서는, 제1 및 제2 샘플링 클럭 신호(SCLK1, SCLK2)에 응답하여 하이레벨의 내부 독출 신호(PREAD)가 제1 및 제2 래치(641, 642)에 래치된다. 나머지 래치들에는 로우레벨 신호가 래치된다. 제1 내지 제6 래치(641~646)는 각각 제1 내지 제6 샘플링 클럭 신호(SCLK1~SCLK6)에 의한 다음 래치 시점까지는 이전 데이터를 유지한다.

<76> 제1 내지 제6 래치(641~646)에 저장되어 있는 데이터는 각각 제1 내지 제6 트랜스퍼 신호(TCLK1~TCLK6)에 응답하여 레이턴시 신호(LATENCY)로 발생된다. 따라서, 제1 및 제2 트랜스퍼 신호(TCLK1, TCLK2)에 응답하여 레이턴시 신호(LATENCY)는 하이레벨 상태로 인에이블되고, 제3 트랜스퍼 신호(TCLK3)에 응답하여 레이턴시 신호(LATENCY)는 로우레벨 상태로 디스에이블된다.

<77> 출력 데이터(DOUT)는 레이턴시 신호(LATENCY)가 하이레벨로 인에이블되어 있는 구간 동안에 데이터 출력 클럭 신호(CLKDQ)에 동기되어 출력된다. 데이터 출력 클럭 신호(CLKDQ)에 동기된 출력 데이터(DOUT)는 " t_{SAC} " 후에 버스(bus)로 출력된다.

<78> 따라서, 데이터 출력 클럭 신호(CLKDQ)의 7번째 싸이클(7) 및 8번째 싸이클(8)에 동기되어 출력되는 출력 데이터(D1, D2)는 결국, 외부 클럭(ECLK)의 7 및 8번째 클럭 싸이클(7, 8)에 동기되어 버스로 출력된다. 따라서, 외부 클럭(ECLK)의 첫번째 클럭 싸이클(1)에 입력된 독출 명령(READ CMD)에 응답하여 외부 클럭(ECLK)의 7번째 클럭 싸이클(7)에서 유효한 출력 데이터(DOUT)가 출력되므로, 카스 레이턴시가 6인 경우에 해당하는 것이다. 도 8에 도시된 바와 같이, 출력 데이터(D1, D2)가 데이터 출력 클럭 신호(CLKDQ)의 7 및 8번째 클럭 싸이클(7, 8)에 응답하여 출력되기 위해서는, 레이턴시 신호(LATENCY)는 데이터 출력 클럭 신호(CLKDQ)의 7 번째 클럭 싸이클(7)보다 소정 시간 빨리 활성화되는 것이 바람직하다. 따라서, 트랜스퍼 신호 발생기(620)는 데이터 출력 클럭 신호(CLKDQ)보다 약간 위상이 앞서는 예비 데이터 출력 클럭 신호(CLKDQF)를 사용하는 것이 바람직하다.

<79> 본 발명의 다른 일 실시예에 따른 레이턴시 회로(600)는 8개의 D 플립 플롭들(도 7a의 621~628), 지연소자들(631~638) 및 래치들(641~648)로 볼 때, 최대 8의 CAS 레이턴시(CL8)을 지원한다. 그러나, 본 발명은 레이턴시 회로(600)를 구현하는 D 플립플롭, 지연소자 및 래치의 수를 증가시킴으로써 지원가능한 최대 카스 레이턴시를 증가시킬 수 있다. 또한, 본 발명의 다른 일 실시예에 따른 레이턴시 회로(600)는 레이턴시 신호 발생기(620)의 스위치들(SW1~SW4)의 수와 위치를 조절함으로써, 지원가능한 카스 레이턴시를 조절할 수 있다. 예를 들어, 도 7a에서 제3 D 플립 플롭(623)의 출력과 제1 D 플립플롭(621)의 입력 사이와 제2 D 플립 플롭(622)의 출력과 제1 D 플립플롭(621)의 입력 사이에 각각 스위치를 더 추가함으로써, 지원 가능한 카스 레이턴시를 5~8(CL5~CL8)에서 3~8(CL3~CL8)로 확대할 수 있다.

<80> 상술한 바와 같이, 본 발명의 다른 일 실시예에 따른 레이턴시 회로(600)도 본 발명의 일 실시예에 따른 레이턴시(200)와 같이, 다수의 샘플링 클럭 신호들을 이용하여 내부 독출 신

호(PREAD)를 래치하여 저장하고 있다가, 래치된 독출 신호(PREAD)를 원하는 출력 클럭(CLKDQ)에 맞추어 레이턴시 신호(LATENCY)로 발생한다. 본 발명의 다른 일 실시예는 카스 레이턴시에 따라 발생하는 샘플링 클럭 신호들의 개수 및 각 샘플링 클럭 신호 내에서의 펄스 간격을 달리한다. 이에 따라 샘플링 클럭 신호 각각에 대응하는 트랜스퍼 신호들의 개수 및 각 트랜스퍼 신호 내에서의 펄스 간격도 달라진다. 따라서, 본 발명의 다른 일 실시예는 도 2에 도시된 맵부(240)를 필요로 하지 않는다. 그러므로, 본 발명의 다른 일 실시예에 따른 레이턴시 회로(600)는 본 발명의 일 실시예에 따른 레이턴시(200)에 비하여 더욱 고속 동작에 유리할 수 있다.

<81> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<82> 본 발명에 의하면, 반도체 메모리 장치의 고속 동작에서도 레이턴시 신호 발생을 위한 로직 처리 시간이 증가되지 않는다. 따라서, 반도체 메모리 장치의 동작 속도가 향상될 수 있다.

**【특허청구범위】****【청구항 1】**

메모리셀 어레이;

상기 메모리셀 어레이로부터 데이터를 수신하고, 레이턴시 신호에 응답하여 상기 메모리셀 어레이로부터 수신된 데이터를 출력하는 출력 버퍼; 및

카스 레이턴시에 응답하여 복수의 트랜스퍼 신호들을 복수의 샘플링 클럭 신호들과 선택적으로 연관시킴으로써 상기 복수의 샘플링 클럭 신호의 각각과 상기 연관된 트랜스퍼 신호 간에 원하는 타이밍 관계가 이루어지도록 하고, 상기 복수의 샘플링 클럭 신호들 중 적어도 하나에 응답하여 독출 신호를 저장하며, 상기 독출 신호를 저장하는데 사용된 상기 샘플링 클럭 신호와 연관된 트랜스퍼 신호에 응답하여 상기 레이턴시 신호를 발생하는 레이턴시 회로를 구비하는 반도체 메모리 장치.

【청구항 2】

제 1 항에 있어서, 상기 레이턴시 회로는

제 1 신호에 응답하여 상기 복수의 트랜스퍼 신호들을 발생하는 트랜스퍼 신호 발생기;

제2 신호에 응답하여 상기 복수의 샘플링 클럭 신호들을 발생하는 샘플링 클럭 신호 발생기; 및

상기 복수의 샘플링 클럭 신호들, 상기 복수의 트랜스퍼 신호들 및 상기 독출 신호에 응답하여 상기 레이턴시 신호를 발생하는 레이턴시 신호 발생기를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제 2 항에 있어서,

상기 반도체 메모리 장치는 외부 클럭 신호에 응답하여, 상기 외부 클럭 신호와 실질적으로 동일한 주파수를 가지고 상기 외부 클럭 신호에 비하여 제1 오프셋 시간만큼의 차이를 가지는 상기 제1 신호를 발생하는 제1 내부 신호 발생기를 더 포함하며,

상기 제1 오프셋 시간은 상기 출력 버퍼가 상기 메모리셀 어레이로부터 수신된 데이터를 출력하는데 걸리는 시간과 실질적으로 동일한 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제 3 항에 있어서,

상기 반도체 메모리 장치는 상기 외부 클럭 신호에 응답하여, 상기 외부 클럭 신호와 실질적으로 동일한 주파수를 가지고 상기 외부 클럭 신호에 비하여 제2 오프셋 시간만큼의 차이를 가지는 상기 제2 신호를 발생하는 제2 내부 신호 발생기를 더 포함하며,

상기 제2 오프셋 시간은 상기 외부 출력 클럭으로부터 상기 독출 신호가 발생되는데 걸리는 시간과 실질적으로 동일한 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제 4 항에 있어서, 상기 샘플링 클럭 신호 발생기는

상기 제1 신호에 동기되어 복수의 입력 제어 신호들을 발생하는 입력 제어 신호 발생기; 및

상기 카스 레이턴시에 응답하여 상기 복수의 입력 제어 신호들 중의 어느 하나를 선택하여 상기 복수의 샘플링 클럭 신호들 중의 하나로서 각각 출력하는 다수의 멀티플렉서를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제 2 항에 있어서,

상기 복수의 샘플링 클럭 신호들과 상기 복수의 트랜스퍼 신호들은 상기 외부 클럭 신호의 주파수를 상기 레이턴시 회로에 의하여 지원되는 카스 레이턴시 모드의 최대 수로 나눈 주파수와 실질적으로 동일한 주파수를 가지는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제 2 항에 있어서, 상기 레이턴시 신호 발생기는

상기 복수의 샘플링 클럭 신호들 중의 하나에 응답하여 각각 상기 독출 신호를 래치하는 복수의 래치들; 및

상기 복수의 트랜스퍼 신호들 중의 하나에 각각 응답하여 온(on)되어, 상기 복수의 래치들에 저장된 신호들을 선택적으로 출력하는 복수의 스위치들을 포함하는 것을 특징으로 반도체 메모리 장치.

【청구항 8】

카스 레이턴시에 응답하여 반도체 메모리 장치로부터의 데이터 출력을 제어하는 방법에 있어서,

(a) 출력을 위해 출력 버퍼에 데이터를 저장하는 단계;

(b) 레이턴시 신호에 응답하여 상기 출력 버퍼로부터 데이터를 출력하는 단계;

(c) 상기 카스 레이턴시에 응답하여 복수의 트랜스퍼 신호들을 복수의 샘플링 클럭 신호들과 선택적으로 연관시킴으로써 상기 복수의 샘플링 클럭 신호의 각각과 상기 연관된 트랜스퍼 신호 간에 원하는 타이밍 관계가 이루어지도록 하는 단계;

(d) 상기 복수의 샘플링 클럭 신호들 중 적어도 하나에 응답하여 독출 신호를 저장하는 단계; 및

(e) 상기 독출 신호를 저장하는데 사용된 상기 샘플링 클럭 신호와 연관된 트랜스퍼 신호에 응답하여 상기 레이턴시 신호를 발생하는 단계를 구비하는 반도체 메모리 장치의 데이터 출력 제어 방법.

【청구항 9】

제 8 항에 있어서, 상기 (c) 단계는

(c1) 제1 신호에 응답하여 상기 복수의 트랜스퍼 신호들을 발생하는 단계; 및

(c2) 제2 신호에 응답하여 상기 복수의 샘플링 클럭 신호들을 발생하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 출력 제어 방법.

【청구항 10】

제 9 항에 있어서, 상기 (c1) 단계는

상기 제1 신호에 동기되어 복수의 입력 제어 신호들을 발생하는 단계; 및

상기 카스 레이턴시에 응답하여 상기 복수의 입력 제어 신호들 중의 어느 하나를 선택하여 상기 복수의 샘플링 클럭 신호들 중의 어느 하나로서 제공하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 출력 제어 방법.



【청구항 11】

메모리셀 어레이;

상기 메모리셀 어레이로부터 데이터를 수신하고, 레이턴시 신호에 응답하여 상기 메모리셀 어레이로부터 수신된 데이터를 출력하는 출력 버퍼; 및

카스 레이턴시 및 독출 신호에 응답하여 상기 레이턴시 신호를 발생하는 레이턴시 회로를 구비하며,

상기 레이턴시 회로는

복수의 트랜스퍼 신호들과 상기 복수의 트랜스퍼 신호들의 각각에 대응하는 샘플링 클럭 신호들을 발생하는 클럭 신호 발생회로; 및

상기 복수의 샘플링 클럭 신호들 중의 적어도 하나에 응답하여 상기 독출 신호를 저장하고, 상기 독출 신호를 저장하는데 사용된 샘플링 클럭 신호에 대응하는 트랜스퍼 신호에 응답하여 상기 레이턴시 신호를 발생하는 레이턴시 신호 발생기를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 12】

제 11 항에 있어서, 상기 클럭 신호 발생회로는

상기 카스 레이턴시에 응답하여 스테이지 수가 조절되며, 각 스테이지에서 상기 복수의 트랜스퍼 신호들 중의 하나씩을 발생하는 쉬프트 레지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 13】

제 11 항에 있어서, 상기 클럭 신호 발생회로는



직렬로 연결되며, 상기 복수의 트랜스퍼 신호들 중 하나씩을 각각 발생하는 제1 내지 제N(N은 2 이상의 자연수) 플립플롭들; 및

상기 제2 내지 제N 플립플롭들의 출력들 중 적어도 하나를 상기 제1 플립플롭의 입력과 연결시키기 위한 스위치로서, 상기 카스 레이턴시에 응답하여 개폐되는 상기 스위치를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 14】

제 13 항에 있어서,

상기 제1 플립플롭은 스타트 신호에 응답하여 동작을 시작하고,

상기 2 내지 제N 플립플롭들 중의 적어도 하나는 상기 카스 레이턴시에 응답하여 리셋될 수 있는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 15】

제 12 항 또는 제 13 항에 있어서, 상기 클럭 신호 발생회로는

상기 복수의 샘플링 클럭 신호들의 각각을 트랜스퍼-샘플링 시간만큼 지연하여 상기 트랜스퍼 신호들을 발생하는 복수의 지연수단들을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 16】

제 16 항에 있어서, 상기 트랜스퍼-샘플링 시간은

상기 출력 버퍼가 상기 메모리셀 어레이로부터 수신된 데이터를 출력하는데 걸리는 시간과 상기 외부 클럭 신호의 소정 기준 시점으로부터 상기 독출 신호가 발생되기까지의 시간을 합한 시간과 같거나 큰 것을 특징으로 하는 반도체 메모리 장치.

【청구항 17】

제 11 항에 있어서,

상기 복수의 트랜스퍼 신호들은 제1 내부 신호를 상기 카스 레이턴시에 의해 결정되는 소정의 분주수로 분주한 신호들이고,

상기 제1 내부 신호는 외부 클럭 신호와 실질적으로 동일한 주파수를 가지며 상기 외부 클럭 신호에 비하여 제1 오프셋 이상의 위상차를 가지는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 18】

제 17 항에 있어서, 상기 샘플링 클럭 신호들은

상기 복수의 트랜스퍼 신호들과 실질적으로 동일한 주파수를 가지고, 상기 복수의 트랜스퍼 신호들 중 대응하는 트랜스퍼 신호에 비하여 적어도 제1 오프셋 더하기 제2 오프셋 만큼 뒤진(lag) 위상차를 각각 가지는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 19】

제 18 항에 있어서,

상기 제1 오프셋은 상기 출력 버퍼가 상기 메모리셀 어레이로부터 수신된 데이터를 출력하는데 걸리는 시간이고, 상기 제2 오프셋은 상기 외부 클럭 신호의 소정 기준 시점으로부터 상기 독출 신호가 발생되기까지의 시간인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 20】

제 11 항에 있어서, 상기 레이턴시 신호 발생기는

복수의 래치들;



상기 복수의 래치들의 입력에 연결되며, 상기 복수의 샘플링 클럭 신호들 각각에 응답하여 온(on)되어 상기 독출 신호를 상기 복수의 래치들에 입력시키는 제1 스위치들; 및

상기 복수의 래치들의 출력에 연결되며, 상기 복수의 트랜스퍼 신호들 각각에 응답하여 온(on)되어 상기 복수의 래치들에 래치된 신호들을 상기 레이턴시 신호로서 출력시키는 제2 스위치들을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 21】

메모리셀 어레이;

상기 메모리셀 어레이로부터 데이터를 수신하고, 레이턴시 신호 및 데이터 출력 클럭 신호에 응답하여 상기 메모리셀 어레이로부터 수신된 데이터를 출력하는 출력 버퍼;

외부 클럭 신호에 응답하여 상기 데이터 출력 클럭 신호를 발생하는 지연 동기 루프 회로;

외부 독출 명령에 응답하여 내부 독출 신호를 발생하는 독출 신호 발생기; 및

상기 내부 독출 신호, 상기 데이터 출력 클럭 신호 및 카스 레이턴시에 응답하여 상기 레이턴시 신호를 발생하는 레이턴시 회로를 구비하며,

상기 레이턴시 회로는

상호 위상이 다른 복수의 트랜스퍼 신호들을 발생하는 트랜스퍼 신호 발생기;

상기 복수의 트랜스퍼 신호들의 각각에 일대일로 매핑되는 복수의 샘플링 클럭 신호들을 발생하는 샘플링 클럭 신호 발생기; 및

상기 복수의 샘플링 클럭 신호들에 응답하여 상기 내부 독출 신호를 래치하고, 상기 복수의 트랜스퍼 신호들에 응답하여 상기 래치된 독출 신호를 상기 레이턴시 신호로 출력하는 레이턴시 신호 발생기를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 22】

제 21 항에 있어서, 상기 트랜스퍼 신호 발생기는

상기 카스 레이턴시에 응답하여 스테이지 수가 조절되며, 각 스테이지에서 상기 복수의 트랜스퍼 신호들 중의 하나씩을 발생하는 쉬프트 레지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 23】

제 21 항에 있어서, 상기 샘플링 클럭 신호 발생기는

상기 복수의 트랜스퍼 신호들의 각각을 트랜스퍼-샘플링 시간만큼 지연하여 상기 복수의 샘플링 클럭 신호들을 발생하는 복수의 지연수단들을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 24】

제 23 항에 있어서, 상기 트랜스퍼-샘플링 시간은

상기 출력 버퍼가 상기 메모리셀 어레이로부터 수신된 데이터를 출력하는데 걸리는 시간과 상기 외부 클럭 신호의 소정 기준 시점으로부터 상기 독출 신호가 발생되기까지의 시간을 합한 시간과 같거나 큰 것을 특징으로 하는 반도체 메모리 장치.

【청구항 25】

제 21 항에 있어서,



상기 복수의 트랜스퍼 신호들은 상기 데이터 출력 클럭 신호의 주파수를 소정수로 나눈 주파수와 동일한 주파수를 가지고, 상기 데이터 출력 클럭 신호에 비하여 같거나 소정의 제 1 시간만큼 앞서는 위상을 가지며,

상기 소정수는 상기 카스 레이턴시에 의하여 결정되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 26】

제 25 항에 있어서, 상기 샘플링 클럭 신호들은

상기 복수의 트랜스퍼 신호들과 실질적으로 동일한 주파수를 가지고, 상기 복수의 트랜스퍼 신호들 중 대응하는 트랜스퍼 신호에 비하여 적어도 제1 오프셋 더하기 제2 오프셋 만큼 뒤진(lag) 위상차를 각각 가지는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 27】

제 26 항에 있어서,

상기 제1 오프셋은 상기 출력 버퍼가 상기 메모리셀 어레이로부터 수신된 데이터를 출력하는데 걸리는 시간이고, 상기 제2 오프셋은 상기 외부 클럭 신호의 소정 기준 시점으로부터 상기 독출 신호가 발생되기까지의 시간인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 28】

제 21 항에 있어서,

상기 복수의 트랜스퍼 신호들의 개수 및 주파수는 상기 카스 레이턴시에 의하여 가변되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 29】

카스 레이턴시에 응답하여 반도체 메모리 장치로부터의 데이터 출력을 제어하는 방법에 있어서,

- (a) 출력을 위해 출력 버퍼에 데이터를 저장하는 단계;
- (b) 레이턴시 신호에 응답하여 상기 출력 버퍼로부터 데이터를 출력하는 단계;
- (c) 복수의 트랜스퍼 신호들과 상기 복수의 트랜스퍼 신호들의 각각에 대응하는 샘플링 클럭 신호들을 발생하는 단계;
- (d) 상기 복수의 샘플링 클럭 신호들 중의 적어도 하나에 응답하여 상기 독출 신호를 저장하는 단계 및
- (e) 상기 독출 신호를 저장하는데 사용된 샘플링 클럭 신호에 대응하는 트랜스퍼 신호에 응답하여 상기 레이턴시 신호를 발생하는 단계를 구비하는 반도체 메모리 장치의 데이터 출력 제어 방법.

【청구항 30】

제 29 항에 있어서, 상기 (c) 단계는

상기 복수의 샘플링 클럭 신호들의 각각을 트랜스퍼-샘플링 시간만큼 지연하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 출력 제어 방법.

【청구항 31】

카스 레이턴시에 응답하여 반도체 메모리 장치로부터의 데이터 출력을 제어하는 방법에 있어서,

- (a) 출력을 위해 출력 버퍼에 데이터를 저장하는 단계;

- (b) 외부 클럭 신호에 응답하여 데이터 출력 클럭 신호를 발생하는 단계;
- (c) 외부 독출 명령에 응답하여 내부 독출 신호를 발생하는 단계;
- (d) 상기 데이터 출력 클럭 및 상기 레이턴시 신호에 응답하여 상기 출력 버퍼로부터 데이터를 출력하는 단계;
- (e) 상호 위상이 다른 복수의 트랜스퍼 신호들을 발생하는 단계;
- (f) 상기 복수의 트랜스퍼 신호들의 각각에 일대일로 매핑되는 복수의 샘플링 클럭 신호들을 발생하는 단계; 및
- (g) 상기 복수의 샘플링 클럭 신호들에 응답하여 상기 내부 독출 신호를 래치하는 단계; 및
- (h) 상기 복수의 트랜스퍼 신호들에 응답하여 상기 래치된 독출 신호를 상기 레이턴시 신호로 출력하는 단계를 구비하는 반도체 메모리 장치의 데이터 출력 제어 방법.

【청구항 32】

제 31 항에 있어서, 상기 (e) 단계는

상기 데이터 출력 클럭 신호 또는 상기 데이터 출력 클럭 신호에 비하여 소정의 제1 시간만큼 앞서는 위상을 가지는 클럭 신호에 응답하여 펄스 신호를 쉬프트하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 출력 제어 방법.

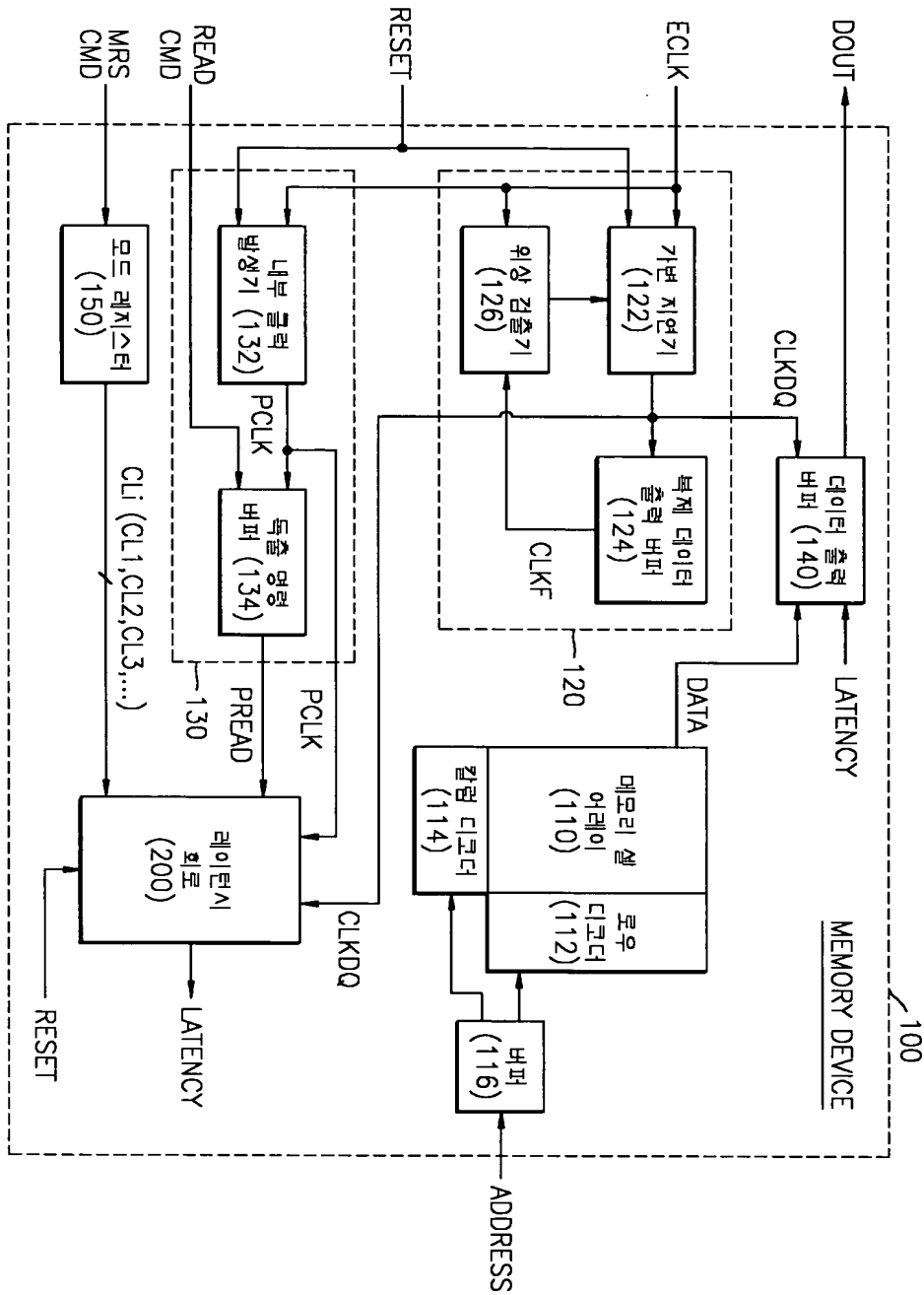
【청구항 33】

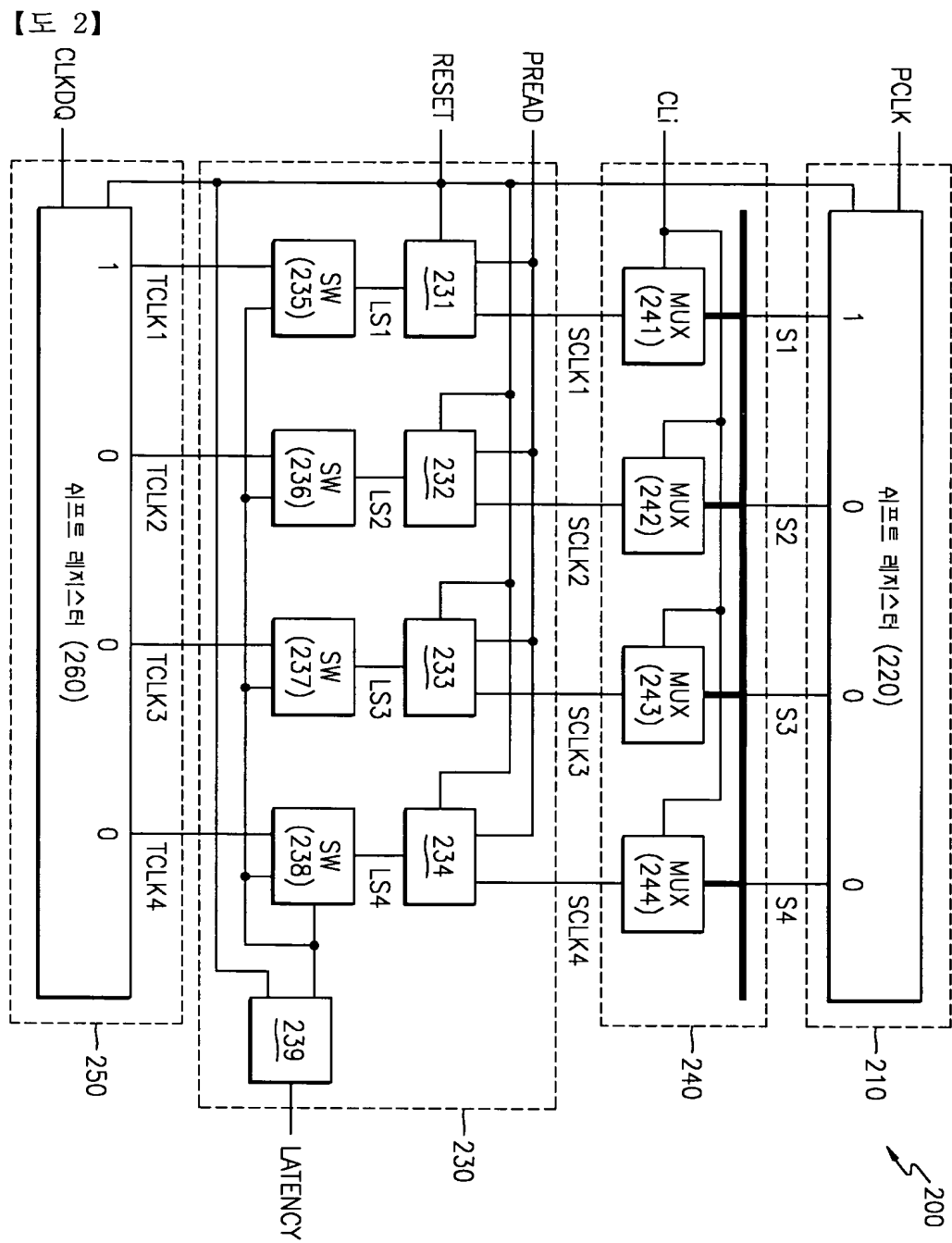
제 31 항에 있어서, 상기 (e) 단계는

상기 카스 레이턴시에 응답하여 스테이지 수가 조절되는 쉬프트 레지스터를 이용하는 것을 특징으로 하는 반도체 메모리 장치의 데이터 출력 제어 방법.

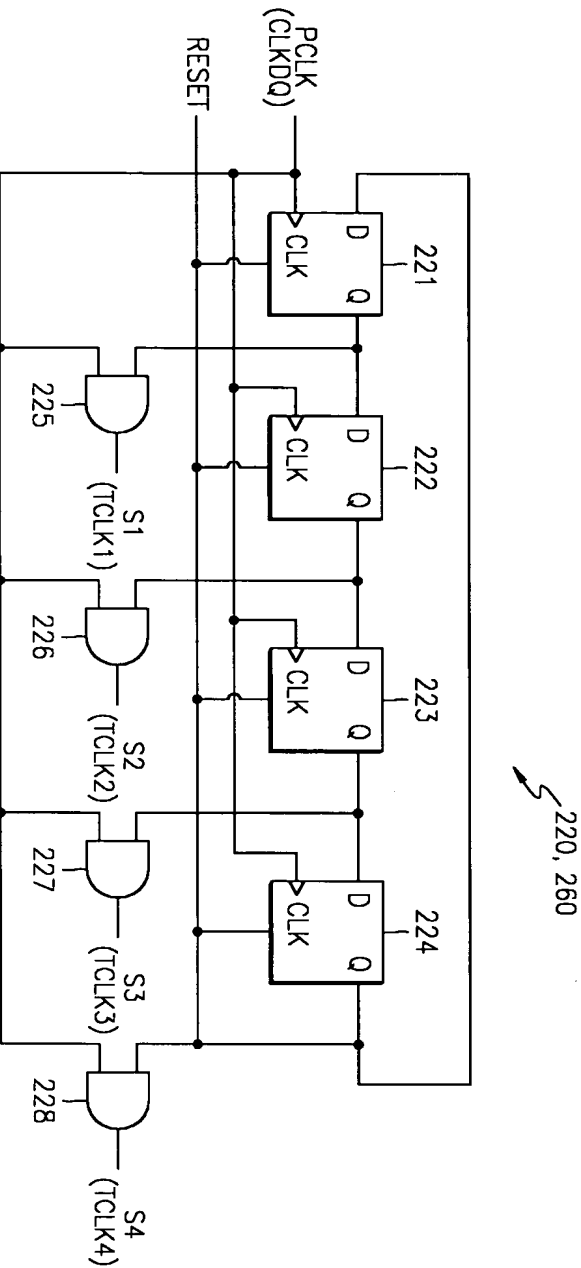
【도면】

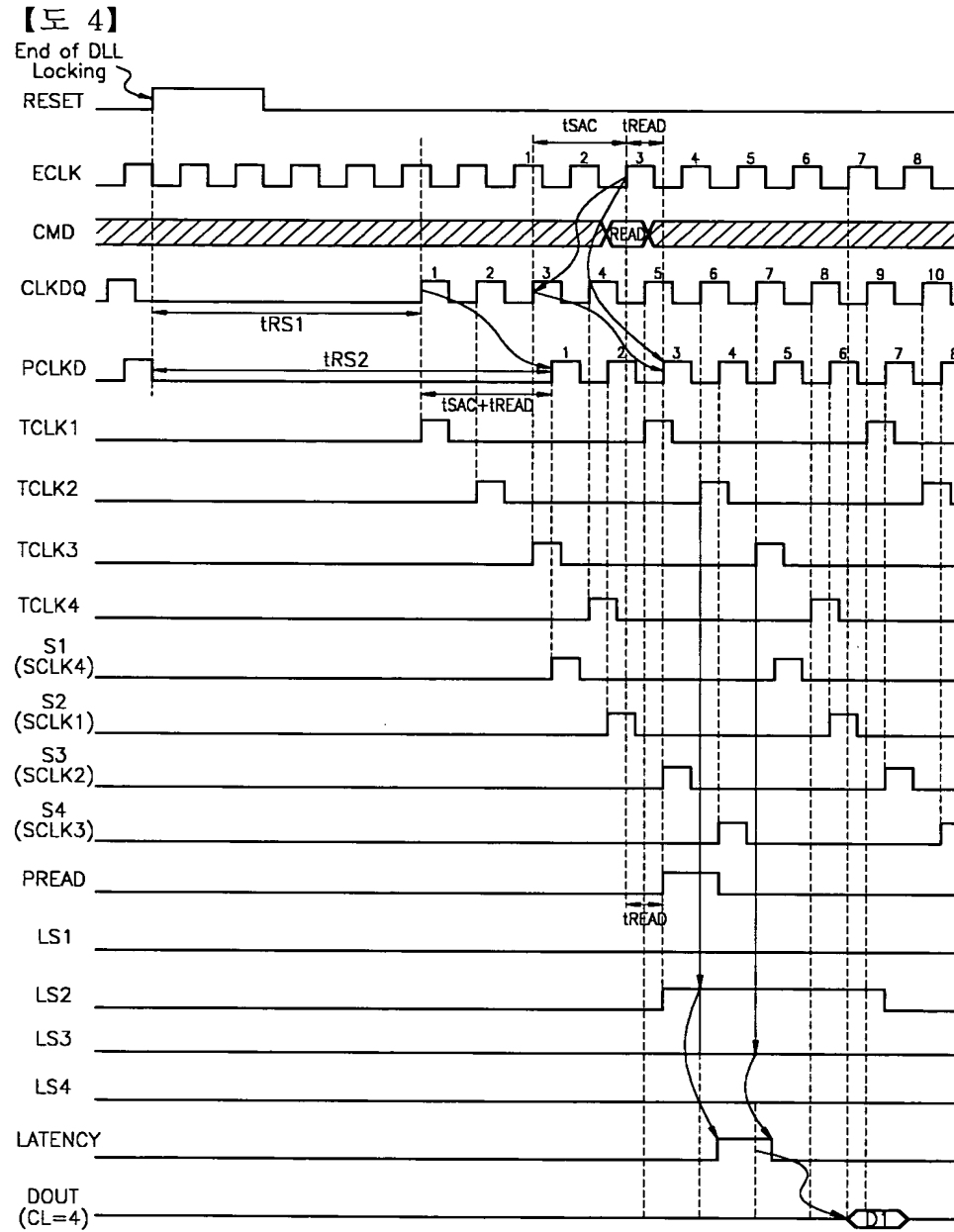
【부 1】



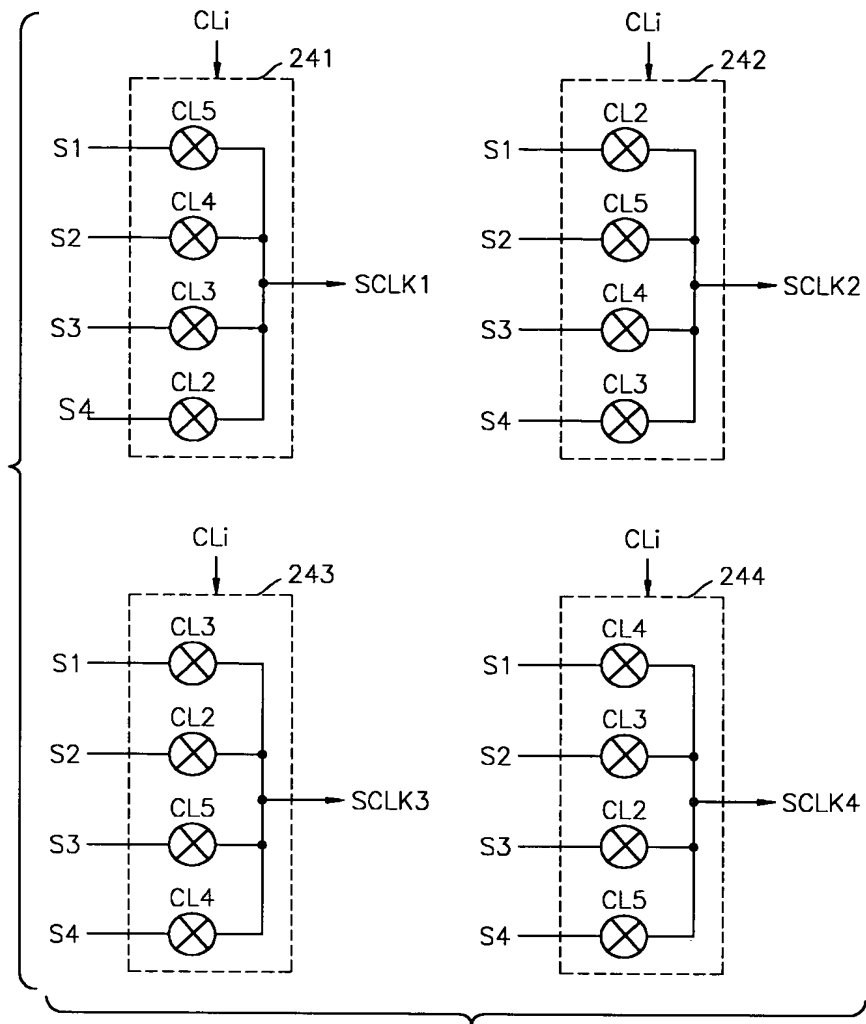


【도 3】





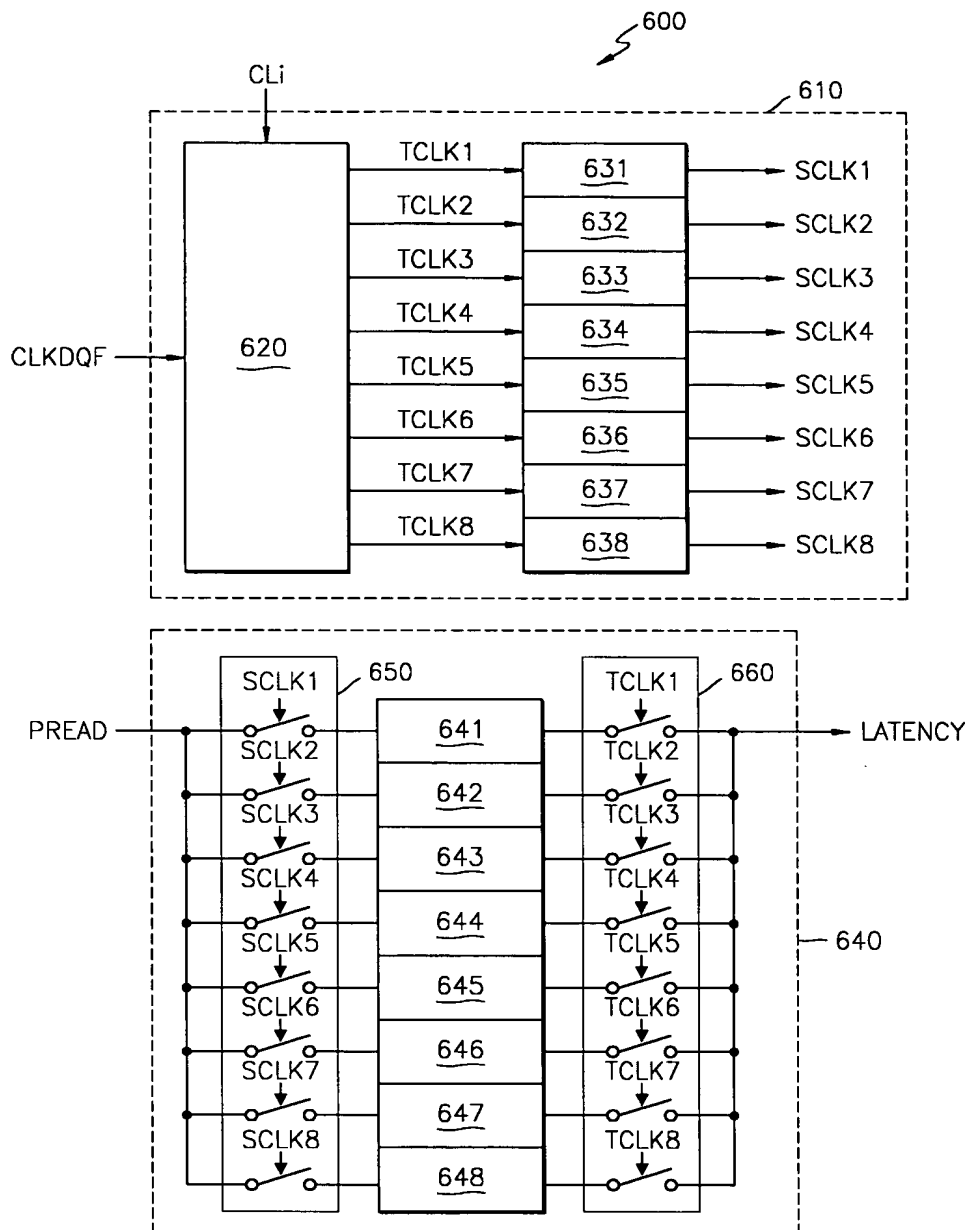
【도 5a】



【도 5b】

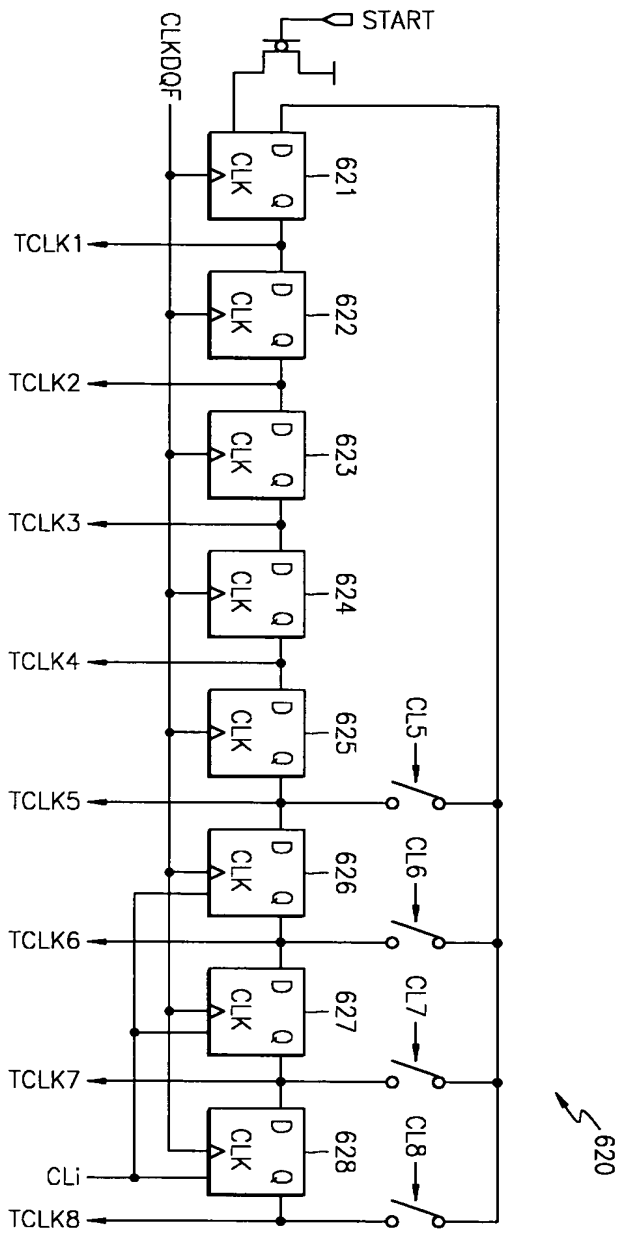
CL MODE	SCLK1	SCLK2	SCLK3	SCLK4
2	S4	S1	S2	S3
3	S3	S4	S1	S2
4	S2	S3	S4	S1
5	S1	S2	S3	S4

【도 6】





【도 7a】

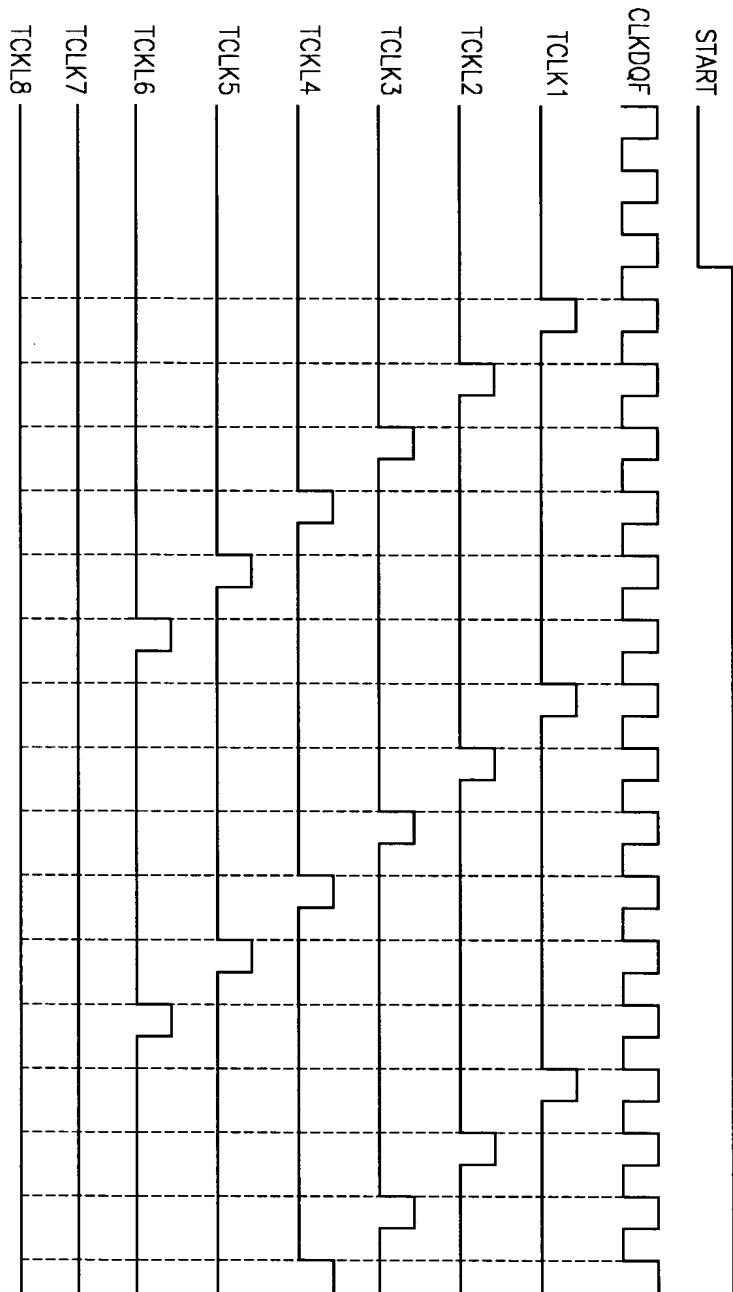




1020030036747

출력 일자: 2003/9/27

【도 7b】



【도 8】

